

APPLICATION  
FOR  
UNITED STATES LETTERS PATENT

TITLE:           DISPLAY DEVICE, DRIVING METHOD THEREOF, AND  
                  ELECTRIC APPARATUS

APPLICANT:     YOSHIFUMI TANADA AND AYA ANZAI

## 明細書

## 表示装置とその駆動方法、および電子機器

技術分野

- 5      本発明は、発光素子を備えた表示装置、特に多色表示を行う表示部を備えた表示装置およびその駆動方法に関するものである。

背景技術

- 10      近年、発光装置として、液晶素子を用いた画素を有する液晶ディスプレイ（LCD）に代わり、エレクトロルミネッセンス（EL）素子等を代表とする自発光素子を用いた表示装置の研究開発が進められている。これらの発光装置は、自発光型ゆえの高画質、広視野角、バックライトを必要としないことによる薄型、軽量等の利点を活かして、携帯電話の表示画面やディスプレイ装置として幅広い利用が期待されている。

- 15      また、携帯電話等においては、その使用目的の多角化により、表示装置自体にも高機能化が求められ、既に多色表示を行うカラー表示装置も幅広く利用されている。

- 一般的ナカラー表示装置の一例を図5（A）に示す。基板500上に、画素部501、ソース信号線駆動回路502、ゲート信号線駆動回路503が  
20      形成されている。前記駆動回路への信号入力、および画素部501への電流供給は、外部よりフレキシブルプリント基板（FPC）504を介して行われる。

図5 (A) 中、点線枠510で示した部分が1画素である。画素部501の一部を拡大したものを図5 (B) に示す。各画素がそれぞれ、映像信号を入力するためのソース信号線511、行選択をするためのゲート信号線512、EL素子516に電流を供給するための電流供給線513、スイッチング用トランジスタ514、駆動用トランジスタ515、電源線517、保持容量518等を有する。このような、1画素を2つのトランジスタを用いて構成し、負荷（ここではEL素子を例としている）を駆動する回路構成に関しては、特許文献1等にその記載がある。

このような、EL素子を用いた表示装置において、多階調表示を行う方法の1つとして、デジタル階調方式と時間階調方式とを組み合わせた駆動方法がある（特許文献2参照）。この方法によると、EL素子の状態は発光・非発光の2状態のみを制御出来れば良いため、素子の特性ばらつき等が画質に影響しにくいといった利点がある。

（特許文献1） 特開2000-147569号公報

15 （特許文献2） 特開2001-343933号公報

カラー表示を行う場合は、例えば図5 (A) に点線枠520で示した、隣接した3画素を用いてRGBのそれぞれの発光を制御し、その混色によって多色表示を行う。つまり、1ドットの表示には3画素を要する。

多色表示が可能なカラー表示装置における画素は、モノクロ表示を行う場合の画素に比べて、その構成要素が多く、表示領域を占める面積も大きい。したがって、開口率が低下する。所望の輝度を得ようとする場合には、開口率が低下した分、発光輝度を高くする必要がある。発光輝度を高くするには、

画素あたりの電流密度を上げなければならないが、これはEL素子の寿命低下につながる。

#### 発明の開示

- 5 本発明は以上の課題に鑑みてなされたものであり、新規の構成を用いた、多色表示が可能な表示装置を提供するものである。

前述の課題を解決するために、本発明においては以下のような手段を講じた。

- 従来、1画素をRGBの3つのサブ画素として構成していたのに対し、本  
10 発明では、RGBそれぞれの発光色を呈するEL素子を積層して形成する。ソース信号線、ゲート信号線は、RGBそれぞれに設けるのではなく、各1つの信号線を3画素で共有する。

RGBの発光は、それぞれ別の期間に行う。つまり、1フレーム期間内でRGBが順次発光する、フィールドシーケンシャル方式を採用する。

- 15 映像信号入力、行選択に対する、RGB発光の選択は、電流供給線の電位選択によってRGBを選択し、所望の発光色を得ることが出来る。

本発明の構成を以下に記す。

- 本発明の表示装置は、異なる発光色を呈する複数の発光素子を有する画素がマトリクス状に配置された画素部を有し、前記複数の発光素子のいずれか  
20 1つを選択し、順次発光せしめることを特徴とする。

本発明の表示装置は、異なる発光色を呈する第1乃至第 $n$  ( $n$ は自然数、 $2 \leq n$ ) の発光素子を有する画素が、マトリクス状に配置された画素部を有

し、前記第 1 乃至第  $n$  の発光素子のいずれか 1 つを選択し、順次発光せしめることを特徴とする。

本発明の表示装置は、第 1 乃至第  $n + 1$  ( $n$  は自然数、 $2 \leq n$ ) の画素電極と、前記第 1 乃至第  $n + 1$  の画素電極に挟まれるように設けられた、異なる  
5 発光色を呈する第 1 乃至第  $n$  の発光素子とを有する画素が、マトリクス状に配置された画素部を有し、前記画素は、第 1 乃至第  $n$  の電流供給線と、電源線と、第 1 乃至第  $n$  の駆動用トランジスタを有し、前記第  $m$  ( $m$  は自然数、 $1 \leq m \leq n$ ) の画素電極は、前記第  $m$  の駆動用トランジスタを介して前記第  $m$  の電流供給線と電氣的に接続され、前記第  $n + 1$  の画素電極は、前記電源  
10 線と電氣的に接続され、前記表示装置は、少なくとも第 1 乃至第  $n$  の発光期間を有し、前記第  $m$  の発光期間において、前記第  $m$  の発光素子を挟む前記画素電極間に電位差を設け、前記第  $m$  の発光素子を選択的に発光せしめることを特徴とする。

本発明の表示装置は、第 1 乃至第  $n + 1$  ( $n$  は自然数、 $2 \leq n$ ) の画素電  
15 極と、前記第 1 乃至第  $n + 1$  の画素電極部に挟まれるように設けられた、異なる発光色を呈する第 1 乃至第  $n$  の発光素子とを有する画素が、マトリクス状に配置された画素部を有し、前記画素は、ソース信号線と、ゲート信号線と、第 1 乃至第  $n$  の電流供給線と、電源線と、スイッチング用トランジスタと、第 1 乃至第  $n$  の駆動用トランジスタとを有し、前記スイッチング用トラ  
20 ンジスタのゲート電極は前記ゲート信号線と電氣的に接続され、第 1 の電極は前記ソース信号線と電氣的に接続され、第 2 の電極は前記第 1 乃至第  $n$  の駆動用トランジスタのゲート電極と電氣的に接続され、前記第  $m$  ( $m$  は自然

数、 $1 \leq m \leq n$ ) の画素電極は、前記第 $m$ の駆動用トランジスタを介して前記第 $m$ の電流供給線と電氣的に接続され、前記第 $n + 1$ の画素電極は、前記電源線と電氣的に接続されていることを特徴とする。

- 本発明の表示装置は、消去用ゲート信号線と、消去用トランジスタとを有し、前記消去用トランジスタのゲート電極は前記消去用ゲート信号線と電氣的に接続され、第1の電極は前記第1乃至第 $n$ の駆動用トランジスタのゲート電極と電氣的に接続され、第2の電極は前記第1乃至第 $n$ の電流供給線のいずれか一と電氣的に接続されていることを特徴とする。

- 本発明の表示装置は、消去用ゲート信号線と、消去用トランジスタと、保持容量線とを有し、前記消去用トランジスタのゲート電極は前記消去用ゲート信号線と電氣的に接続され、第1の電極は前記第1乃至第 $n$ の駆動用トランジスタのゲート電極と電氣的に接続され、第2の電極は前記保持容量線と電氣的に接続されていることを特徴とする。

- 本発明の表示装置は、消去用ゲート信号線と、第1乃至第 $n$ の消去用トランジスタとを有し、前記第1乃至第 $n$ の消去用トランジスタのゲート電極は、前記消去用ゲート信号線と電氣的に接続され、前記第1乃至第 $n$ の画素電極と、前記第1乃至第 $n$ の駆動用トランジスタとの間に設けられていることを特徴とする。

- 本発明の表示装置において、前記第2乃至第 $n$ の画素電極は、いずれも透光性を有する層を用いてなることを特徴とする。

本発明の表示装置において、前記第1乃至第 $n$ の発光素子と、前記第1乃至第 $n + 1$ の画素電極とは、積層されてなることを特徴とする。

本発明の表示装置の駆動方法は、異なる発光色を呈する複数の発光素子を有する画素が、マトリクス状に配置された画素部を有する表示装置の駆動方法であって、前記複数の発光素子のいずれか1つを選択し、順次発光せしめることを特徴とする。

- 5 本発明の表示装置の駆動方法は、異なる発光色を呈する第1乃至第 $n$  ( $n$ は自然数、 $2 \leq n$ )の発光素子を有する画素が、マトリクス状に配置された画素部を有する表示装置の駆動方法であって、前記第1乃至第 $n$ の発光素子のいずれか1つを選択し、順次発光せしめることを特徴とする。

#### 10 図面の簡単な説明

第1図は、本発明の一実施形態を示す図である。

第2図は、本発明の一実施形態を示す図である。

第3図は、フィールドシーケンシャル駆動のタイミングを説明する図である。

- 15 第4図は、デジタル時間階調方式とフィールドシーケンシャル駆動を組み合わせたタイミングを説明する図である。

第5図は、従来の表示装置の構成を示す図である。

第6図は、ソース信号線駆動回路の構成例を示す図である。

第7図は、ソース信号線駆動回路の構成例を示す図である。

- 20 第8図は、ゲート信号線駆動回路の構成例を示す図である。

第9図は、本発明の画素における発光手段を説明する図である。

第10図は、本発明の一実施形態を示す図である。

第 1 1 図は、本発明の一実施例を示す図である。

第 1 2 図は、本発明の一実施例を示す図である。

第 1 3 図は、本発明が適用可能な電子機器の例を示す図である。

第 1 4 図は、フィールドシーケンシャル駆動のコントロール回路を示す図  
5 である。

### 発明を実施するための最良の形態

#### (実施の形態 1)

図 1 に、本発明の表示装置における画素部の構成を示す。なお、以降はト  
10 ランジスタとして、絶縁体上に形成された薄膜トランジスタ（以下 T F T と  
標記）を例にとって説明するが、本発明はこれに限定するものではなく、有  
機薄膜トランジスタ、M O S トランジスタ、分子トランジスタ等を用いて構  
成した場合も全て含むものとする。また、T F T においては、ソース領域と  
ドレイン領域とは、その構造や動作条件によって、分別が難しいため、一方  
15 を第 1 の電極、他方を第 2 の電極として表記する。発光素子としては、E L  
素子を例として説明するが、これに限定されず、2 端子間に電位差を与える  
ことによって電流を生じ、当該電流によって発光を得ることの出来る素子を  
対象に含むものとする。

図 1 において、点線枠 1 0 0 で囲まれた部分が 1 画素である。それぞれの  
20 画素は、ソース信号線 1 0 1、ゲート信号線 1 0 2、第 1 ～第 3 の電流供給  
線 1 0 3 ～ 1 0 5、保持容量線 1 0 6、スイッチング用 T F T 1 0 7、第 1  
～第 3 の駆動用 T F T 1 0 8 ～ 1 1 0、保持容量 1 1 1、第 1 ～第 3 の E L



素子112～114、電源線115を有する。

スイッチング用TFT107のゲート電極は、ゲート信号線102と電氣的に接続され、第1の電極はソース信号線101と電氣的に接続され、第2の電極は第1～第3の駆動用TFT108～110のゲート電極と電氣的に

5 接続されている。第1の駆動用TFT108の第1の電極は第1の電流供給線103と電氣的に接続され、第2の電極は第1のEL素子112の第1の電極と電氣的に接続されている。第2の駆動用TFT109の第1の電極は第2の電流供給線104と電氣的に接続され、第2の電極は第2のEL素子113の第1の電極と電氣的に接続されている。第3の駆動用TFT110

10 の第1の電極は第3の電流供給線105と電氣的に接続され、第2の電極は第3のEL素子114の第1の電極と電氣的に接続されている。保持容量線106と、第1～第3の駆動用TFT108～110のゲート電極との間には、保持容量111が形成され、第1～第3の駆動用TFT108～110のゲート電極の電位を保持する。なお、ここでは独立した保持容量線106

15 を用いて、保持容量111を形成しているが、特にこの構成には限定しない。つまり、第1～第3の駆動用TFT108～110のゲート電極と、いずれかの一定電位との間に保持容量111を設ければ良い。

第1～第3のEL素子112～114は、積層形成されている。つまり、第1のEL素子112の第2の電極は、第2のEL素子113の第1の電極

20 を兼ね、第2のEL素子113の第2の電極は、第3のEL素子114の第1の電極を兼ねる。第3のEL素子114の第2の電極は、電源線115と電氣的に接続されており、第1～第3の電源供給線103～105と電位差

を有する。

第1～第3の電流供給線103～105は、図14のコントロール回路1401と接続している。コントロール回路1401は、スイッチ1402～1404の接続をそれぞれ切り替えることによって、電流供給線103～105の電位を $V_A$ または $V_C$ に制御する。これによってフィールドシーケンシャル駆動を行う。なお、コントロール回路の構成は図14に限定されない。図14では $V_A$ と $V_C$ の2つの電位を用いた構成になっているが、3つ以上の電位を切り替える構成にしてもよい。

第1～第3のEL素子112～114において、第2、第3のEL素子113、114の第1の電極は、ともに透明導電材料を用いて形成される。また、第1のEL素子112の第1の電極と、第3のEL素子114の第2の電極のいずれか一方もまた、透明導電材料を用いて形成される。第1～第3のEL素子112～114からの出射光は、第1のEL素子112の第1の電極と、第3のEL素子114の第2の電極のうち、透明導電材料で形成された電極を通して外部に現れる。

画素部における発光動作について、図1および図9を参照して説明する。なお、ここではTFTの状態について、ONもしくはOFFと表記するが、ONとは、TFTのゲート・ソース間電圧の絶対値がそのしきい値の絶対値を上回り、ソース・ドレイン間に電流が流れる状態をいい、OFFとは、TFTのゲート・ソース間電圧の絶対値がそのしきい値の絶対値を下回り、ソース・ドレイン間に電流が流れない（微小なリーク電流は含めない）状態をいう。

ゲート信号線 102 が選択されると、スイッチング用 T F T 107 が ON し、図 9 (A) に示すように、映像信号がソース信号線 101 より、スイッチング用 T F T 107 を介して第 1 ～第 3 の駆動用 T F T 108 ～110 のゲート電極に入力される。図 9 (A) の例では、スイッチング用 T F T 107 は N 型 T F T、第 1 ～第 3 の駆動用 T F T 108 ～110 は P 型 T F T を用いているので、映像信号の電位が L 電位するとき、第 1 ～第 3 の駆動用 T F T 108 ～110 が ON する。

続いて、各 E L 素子の発光について説明する。本発明においては、E L 素子は積層されており、図 1 に示した構成の場合、映像信号は共通に第 1 ～第 3 の駆動用 T F T 108 ～110 のゲート電極に入力されるので、各 E L 素子の発光・非発光の制御は、第 1 ～第 3 の電流供給線 103 ～105 の電位を制御することによって行う。

まず、第 1 の発光色 (R) が発光する場合について述べる (図 9 (B))。今、電源線の電位を対向電位  $V_c$  とし、第 1 ～第 3 の電流供給線 103 ～105 の電位をそれぞれ、 $V_A$ 、 $V_c$ 、 $V_c$  とする (ただし  $V_c < V_A$ )。

このとき、第 1 の E L 素子 112 においては、第 1 の電極の電位はおおむね  $V_A$  となり、第 2 の電極の電位はおおむね  $V_c$  となる。よって第 1 の電極と第 2 の電極との間に電位差が生じ、第 1 の駆動用 T F T 108 を介して電流が流れ込み、発光する。一方、第 2 の E L 素子 113 の第 1 の電極の電位は、つまり第 1 の E L 素子 112 の第 2 の電極の電位であるからおおむね  $V_c$ 、第 2 の電極の電位もまたおおむね  $V_c$  であるから、第 2 の E L 素子 113 には電流が流れない。すなわち第 2 の E L 素子 113 はこのときは発光しない。

したがって、第1の電流供給線103より第1のEL素子112に流れ込んだ電流は、第2の駆動用TFT109を介して、第2の電流供給線104へと流れる。同様に、第3のEL素子114においても、第1の電極と第2の電極間には電位差が生じないため、電流が流れない。すなわち発光しない。

5 続いて、第2の発光色(G)が発光する場合について述べる(図9(C))。

今、電源線の電位を対向電位 $V_C$ とし、第1～第3の電流供給線103～105の電位をそれぞれ、 $V_A$ 、 $V_A$ 、 $V_C$ とする。

このとき、第1のEL素子112においては、第1の電極の電位はおおむね $V_A$ となり、第2の電極の電位もまたおおむね $V_A$ となる。したがって第1  
10 のEL素子112には電流が流れない。すなわち発光しない。一方、第2のEL素子113においては、第1の電極の電位は、つまり第1のEL素子112の第2の電極の電位であるからおおむね $V_A$ 、第2の電極の電位はおおむね $V_C$ であるから、第1の電極と第2の電極間に電位差が生じ、第2の駆動用TFT109を介して電流が流れ込み、発光する。また、第3のEL素  
15 子114においては、第1の電極の電位はおおむね $V_C$ 、第2の電極の電位も $V_C$ であるから、第1の電極と第2の電極間には電位差が生じないため、電流が流れない。すなわち発光しない。

続いて、第3の発光色(B)が発光する場合について述べる(図9(D))。

今、電源線の電位を対向電位 $V_C$ とし、第1～第3の電流供給線103～1  
20 05の電位はいずれも $V_A$ とする。

このとき、第1のEL素子112においては、第1の電極の電位はおおむね $V_A$ となり、第2の電極の電位もまたおおむね $V_A$ となる。したがって第1

のEL素子112には電流が流れない。すなわち発光しない。同様に、第2  
 のEL素子113においても、第1の電極と第2の電極間には電位差が生じ  
 ないため、電流が流れない。すなわち発光しない。一方、第3のEL素子1  
 14においては、第1の電極の電位はおおむね $V_A$ となり、第2の電極の電  
 5 位は $V_C$ である。よって第1の電極と第2の電極間に電位差が生じ、第3の  
 駆動用TFT110を介して電流が流れ込み、発光する。

以上の動作により、積層形成されたEL素子は、選択的に発光させること  
 が出来る。なお、上記の説明では、第1～第3のEL素子112～114は、  
 第1の電極と第2の電極間の電位差、つまり陽極－陰極間電圧が $V_A - V_C$ と  
 10 されているが、EL素子の場合、発光色によって、同一の輝度を得るのに必  
 要な陽極－陰極間電圧はそれぞれ異なるのが一般的であるので、上記の条件  
 には限定しないものとする。つまり、EL素子の特性によって、適宜電圧を  
 設定すれば良い。

なお、ここでは例として、一般的なカラー表示装置において用いられてい  
 15 るR、G、Bの3色の発光素子を有する場合について述べてきたが、本発明  
 の主旨は、複数の発光素子を有する場合、ある期間において、いずれか1つ  
 の発光素子を選択的に発光せしめる点にあり、例えば3色以上の場合におい  
 ても、同様の手法で容易に実現が可能であるので、ここでは特に発光素子の  
 数は限定しない。

20 また、ここでは第1乃至第3の発光素子は積層構造としているが、必ずし  
 もそれぞれの発光素子が積層されていなくとも、本発明が適用出来る。ただ  
 し、発光領域を広く確保出来るという点において、積層構造をとるのが望ま

しいといえる。

(実施の形態 2)

本発明を実施の形態 1 とは異なる構成の画素に適用した例を図 2 に示す。

図 1 に示した構成に加え、消去用ゲート信号線 201、消去用 TFT 202  
5 を追加している。その他の構成は図 1 に従うので、図番は省略する。

図 2 に示す構成の画素は、特開 2001-343933 号広報記載の、デジタル時間階調方式による表示を行う際、発光時間を制御するために、所望のタイミングで、発光している EL 素子を強制的に非発光の状態とすることが出来る。具体的には、発光を終了させたいタイミングで、消去用ゲート信号線 201 に行選択パルスを出力することにより、消去用 TFT 202 が ON  
10 する。これにより、駆動用 TFT 108~110 のゲート電極の電位は保持容量線の電位に等しくなり、OFF する。したがって、EL 素子への電流供給の経路が絶たれ、非発光の状態となる。

ここで、保持容量線 106 の電位は、駆動用 TFT 108~110 が確実に OFF する電位とする必要がある。具体的には、駆動用 TFT 108~110 が P 型 TFT である場合、保持容量線 106 の電位は、いずれの電流供給線の電位よりも高くしておく。つまり、駆動用 TFT 108~110 のゲート電極の電位が保持容量線 106 の電位に等しくなった場合、駆動用 TFT 108~110 のゲート・ソース間電圧がいずれも正となるようにしておく。  
20 逆に、駆動用 TFT 108~110 が N 型である場合、保持容量線 106 の電位は、いずれの電流供給線の電位よりも低くしておけば良い。

ここでは、消去用 TFT 202 は、駆動用 TFT 108~110 のゲート

電極と、保持容量線 106 との間に設けられているが、駆動用 T F T 108 ~ 110 のゲート電極と、第 1 ~ 第 3 の電流供給線 103 ~ 105 のいずれかとの間に設けても良い。

また、消去用 T F T 202 については、図 2 のような配置に限定されない。

- 5 所望のタイミングで消去用 T F T を制御し、それによって E L 素子への電流供給を遮断出来れば良い。例えば図 10 に示すように、消去用 T F T 1002 ~ 1004 を、駆動用 T F T 108 ~ 110 のドレイン端子と、E L 素子との間に設け、消去用 T F T 1002 ~ 1004 が O N している期間は、駆動用 T F T 108 ~ 110 のいずれかを介して E L 素子に電流が流れ、所望
- 10 のタイミングで消去用 T F T 1002 ~ 1004 を O F F させることによって、E L 素子への電流を強制的に遮断することが出来る。

(実施例)

[実施例 1]

本実施例においては、本発明を用いて構成された画素を制御するための駆

- 15 動回路の構成について説明する。

図 6 は、主に映像信号として、アナログ形式の映像信号を用いて表示を行うための、ソース信号線駆動回路の構成例を示している。

- 図 6 (A) の例では、フリップフロップ 601 を複数段用いてなるシフトレジスタ 602、NAND 603、レベルシフタ 604、バッファ 605、
- 20 サンプリングスイッチ 606 を有している。

動作について説明する。クロック信号 (S - C K、S - C K b) およびスタートパルス (S - S P) にしたがって、シフトレジスタ 602 は順次サン

プリングパルスを出力する。連続した2つのサンプリングパルスは、互いにパルスが重複する期間を有する場合があります、そのような場合には、NAND 603によって前後のサンプリングパルスと演算を行う。シフトレジスタ602の構成によっては、NAND 603は必要としない場合もある。

- 5     NAND 603から出力されたサンプリングパルスは、必要とあればレベルシフタ604によって振幅変換を受け、バッファ605によって増幅され、サンプリングスイッチ606へと入力される。サンプリングスイッチ606においては、サンプリングパルスの入力されたタイミングにおいて入力されているアナログ映像信号（V i d e o）を取り込み、それぞれのソース信号
- 10   線  $S_1 \sim S_n$  に点順次で出力する。

ここで、レベルシフタ604、バッファ605については、シフトレジスタ602、もしくはNAND 603自体が、大きな負荷を駆動するだけの能力が十分であれば特に必要としない。

- 図6（B）は、基本的な構成は図6（A）と同様であるが、バッファ60
- 15   5において、1段あたり複数のサンプリングスイッチ606を駆動している点が異なる。このような構成とすると、サンプリングパルスが1つ出力されるタイミングで、同時に複数の列で、映像信号の取り込みを行うことが出来るため、図6（A）の構成と比べ、ソース信号線駆動回路の動作周波数を低くすることが出来る。一般に、1つのサンプリングパルスによって、k本同
- 20   時に映像信号の取り込みを行うような駆動を、k分割駆動といい、ソース信号線の本数が同じであれば、図6（A）に示した構成に対し、 $1/k$ の動作周波数で良い。ただし、同時にk本の映像信号の取り込みを行うため、並列



にk本の映像信号の入力が必要となる。

図7は、主に映像信号として、デジタル形式の映像信号を用いて表示を行うための、ソース信号線駆動回路の構成例を示している。

図7(A)の例では、フリップフロップ701を複数段用いてなるシフト  
5 レジスタ702、NAND703、第1のラッチ回路704、第2のラッチ回路705、D/A変換回路706を有している。

動作について説明する。ただし、シフトレジスタ～NANDの動作については、図6に示したものと同様であるから、省略する。

サンプリングパルスが入力されるタイミングにしたがって、第1のラッチ  
10 回路704において、デジタル映像信号(Data)の取り込みが行われる。  
ここでは、並列した3つの第1のラッチ回路704によって、3ビット分のデジタル映像信号の取り込みが同時に行われる。取り込まれたデジタル映像信号は、第1のラッチ回路704のそれぞれにおいて、保持される。

前述の動作が、1列目から順に行われる。最終列の第1のラッチ回路70  
15 4におけるデジタル映像信号の取り込みが終了した後、ラッチ信号(LAT)が入力されると、第1のラッチ回路704において保持されていたデジタル映像信号は、一斉に第2のラッチ回路705へと転送される。その後は、1行分のデジタル映像信号は並列に処理される。

第2のラッチ回路705に転送されたデジタル映像信号は、続いてD/A  
20 変換回路706に入力され、D/A変換を受け、アナログの電圧信号へと変換され、ソース信号線 $S_1 \sim S_n$ に出力される。

図7(B)の例では、デジタル時間階調方式による表示を行う場合の構成

について示している。第1のラッチ回路704、第2のラッチ回路705は1列あたり1つ配置され、デジタル映像信号(D a t a)は、1本の信号線より、直列に入力される。例としては、1列目第1ビットデータ→2列目第1ビットデータ→・・・→最終列第1ビットデータ→1列目第2ビットデータ→2列目第2ビットデータ→・・・→最終列第2ビットデータ→・・・→1列目最下位ビットデータ→2列目最下位ビットデータ→・・・→最終列最下位ビットデータといったように入力されるが、この限りではない。なお、各部の動作については、図7(A)と同様であるので、ここでは説明を省略する。

10 図8は、ゲート信号線駆動回路の構成例を示している。

図8の例では、ソース信号線駆動回路と同様、フリップフロップ801を複数段用いてなるシフトレジスタ802、NAND803レベルシフタ804、バッファ805を有している。ここでも、ソース信号線駆動回路の場合と同様、NAND802、レベルシフタ803、バッファ804について  
15 は、必要に応じて設ければ良い。

動作もソース信号線駆動回路の項で説明したのと同様、シフトレジスタ802から順次行選択パルスが出力され、NAND803において隣接パルス間での演算を行い、レベルシフタ804において振幅変換を受け、バッファ805を介して、ゲート信号線 $G_1 \sim G_m$ に出力され、1行目から順に選択さ  
20 れる。ゲート信号線駆動回路は、前述したソース信号線駆動回路のいずれと組み合わせて使用しても良い。

## [実施例 2]

本発明の構成を用いて表示を行う際の動作タイミングについて、図 3 を用いて説明する。

図 3 (A) に示すように、表示装置においては、表示期間では繰り返し画面の書き換えと表示とを行っている。この書き換え回数は、一般的には 1 秒間に 60 回程度とすることで、視認者がちらつき（フリッカ）を感じないとされている。ここで、画面の書き換え、表示の一連の動作を 1 回行う期間、つまり図 3 (A) 中、301 で示した期間を、1 フレーム期間と表記する。

本発明においては、第 1 ～第 3 の発光色を呈する画素への映像信号は、共通のソース信号線から入力される。よって、発光色ごとに、異なった期間で書き込みを行う必要があるため、フィールドシーケンシャル方式を用いる。つまり、図 3 (B) に示すように、1 フレーム期間内を 3 つの期間に分割し、それぞれの期間で、発光色ごとに書き込みと発光を行う。視認者には、残像効果によって、混色されて認識され、多色表示が可能となる。

図 3 (B) において、 $T_{a1} \sim T_{a3}$  で示された期間が、映像信号を画素に書き込む期間であり、以後、アドレス（書き込み）期間と表記する。 $T_{s1} \sim T_{s3}$  で示された期間が、書き込まれた映像信号に応じて、所望の輝度で発光する期間であり、以後、サステイン（発光）期間と表記する。アドレス（書き込み）期間においては、図 3 (C) に示すように、1 行目から順に、 $m$  行目（最終行）までの行選択が行われている。ここで、302 で示す期間、つまり 1 行あたりの選択期間を、1 水平期間と表記する。1 水平期間内に、 $n$  列分のドットデータの書き込みが行われる。

図3 (D) は、1 水平期間内のドットデータの書き込みが線順次で行われる場合の例である。実施例1で説明したように、303で示される期間で、1列目から順次、n列目までのドットデータのサンプリングが第1のラッチ回路において行われ、1行分のデータのサンプリングが終了すると、304  
5 5で示される帰線期間内に、305で示されるようなタイミングでラッチパルスが入力され、このとき1行分のデータが一斉に第2のラッチ回路へと転送される。

図3 (E) は、1 水平期間内のドットデータの書き込みが点順次で行われる場合の例である。実施例1で説明したように、306で示される期間で、  
10 1列目から順次、n列目までのドットデータのサンプリングが行われ、各列では直ちに、ソース信号線へと出力される。

以上が、アナログ階調方式における動作である。続いて、デジタル時間階調方式における動作について説明する。

図4 (A) に示すように、デジタル時間階調方式においても、フィールド  
15 シーケンシャル方式を用いる。図4 (A) 中、401で示される1フレーム期間を、402～404で示される3つの期間に分割し、各期間で、各発光色における書き込み、表示を行う。

ここでは、例として3ビットデジタル映像信号を用いた場合を挙げて説明する。デジタル時間階調方式の場合、フレーム期間302を、さらに複数の  
20 サブフレーム期間に分割する。ここでは3ビットであるので、3つのサブフレーム期間に分割している。

各サブフレーム期間は、アドレス（書き込み）期間 $T_{a\#}$ （ $\#$ は自然数）

と、サステイン（発光）期間  $T_{s \#}$  を有する。図 4（A）においては、サステイン（発光）期間の長さを、 $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$  とし、各サステイン（発光）期間で、発光もしくは非発光を制御することにより、 $2^3 = 8$  階調を表現する。つまり、サステイン（発光）期間の長さを、 $T_{s1} : T_{s2} : T_{s3} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$  というように、2 のべき乗の比とする。例えば、 $T_{s3}$  のみが発光し、 $T_{s1}$ 、 $T_{s2}$  においては非発光である場合、すべてのサステイン（発光）期間のうち、約 14 % の期間だけ発光していることになる。すなわち、約 14 % の輝度が表現出来る。 $T_{s1}$  と  $T_{s2}$  が発光し、 $T_{s3}$  が非発光である場合には、すべてのサステイン（発光）期間のうち、約 86 % の期間だけ発光していることになる。すなわち、約 86 % の輝度が表現出来る。

この動作を、第 1 ～ 第 3 の発光色において繰り返すことによって、視認者においては残像効果によって多色表現が実現する。

この方式によると、アドレス（書き込み）期間とサステイン（発光）期間とが完全に分離されているため、サステイン（発光）期間の長さを自由に設定出来るといったメリットがあるが、アドレス（書き込み）期間において、ある行で書き込みが行われている間、他の行では書き込みも発光も行われていない。つまり、全体としてデューティ比が低くなってしまう。

そこで、アドレス（書き込み）期間とサステイン（発光）期間とを分離しない、図 4（B）に示すようなタイミングでの動作について説明する。

図 4（B）中、411 で示される 1 フレーム期間を、412 ～ 414 で示される 3 つの期間に分割する点は同様であるが、各サブフレーム期間におい

て、アドレス（書き込み）期間とサステイン（発光）期間とが分離していない様子がわかる。つまり、 $i$  行目での書き込みが完了すると、 $i$  行目では直ちに発光が始まる。その後、 $i + 1$  行目での書き込みが行われている時には、すでに  $i$  行目はサステイン（発光）期間に入っていることになる。このようなタイミングとすることにより、デューティ比を高くすることが出来る。

ただし、図 4（B）のようなタイミングの場合、アドレス（書き込み）期間よりもサステイン（発光）期間が短くなると、あるサブフレーム期間におけるアドレス（書き込み）期間と、次のサブフレーム期間におけるアドレス（書き込み）期間とが重複する期間が生じてしまう。そこで、図 2、図 10 に示したように、消去用 T F T を用いて、サステイン（発光）期間が終了する時点から、次のアドレス（書き込み）期間が開始されるまでの間、強制的に消去期間  $T r 1_3$ 、 $T r 2_3$ 、 $T r 3_3$  を設けている。この消去期間により、異なるサブフレーム期間におけるアドレス（書き込み）期間同士が重複するのを回避出来る。具体的には、消去用 T F T を制御するための、第 2 のゲート信号線駆動回路を用い、消去用の選択パルスを出力して、1 行目から順に、所望のタイミングで消去用 T F T を ON させる。なお、この第 2 のゲート信号線駆動回路は、通常書き込みを行う第 1 のゲート信号線駆動回路と同じ構成で良い。よって、消去用信号の書き込みを行う期間（以後、リセット期間と表記する） $T e 1_3$ 、 $T e 2_3$ 、 $T e 3_3$  は、それぞれ、アドレス（書き込み）期間と長さが等しい。

なお、ここでは階調表示ビット数とサブフレーム数が等しい場合を例としたが、さらに多くの期間に分割されていても良い。また、サステイン（発光）

期間の長さの比も、必ずしも2のべき乗としなくても、階調表現は可能である。

### [実施例3]

図11を用いて、図2、図10に示したような、消去用TFTを有する画  
5 素を駆動するための表示装置の構成について説明する。

基板1100上に、画素部1101、ソース信号線駆動回路1102、第  
1のゲート信号線駆動回路1103および第2のゲート信号線駆動回路11  
04が形成されている。前記駆動回路への信号入力、および画素部1101  
への電流供給は、外部よりフレキシブルプリント基板(FPC)1105を  
10 介して行われる。点線枠1110で示した部分が1画素である。

第1のゲート信号線駆動回路1103と、第2のゲート信号線駆動回路1  
104とは、画素部1101を挟んで対向配置される。回路構成、動作周波  
数等に関しては、第1のゲート信号線駆動回路1103、第2のゲート信号  
線駆動回路1104とも、同様に良い。

### 15 [実施例4]

図12を用いて、本発明の表示装置の画素部の断面構成の例を説明する。

石英、無アルカリガラス、プラスチック等の絶縁基板(可撓性基板も可)  
3001上に、下地膜3002が形成され、その上に第1～第3の駆動用T  
FT3004～4006をはじめとする能動素子群が形成される。3003  
20 はTFT3004～3006のゲート絶縁膜である。さらに、第1、第2の  
層間絶縁膜3007、3008が形成され、当該絶縁層にコンタクトホール  
を開口後、配線(図示せず)および第1の画素電極3009が形成される。

次いで、第1のエッジカバー膜3017として、アクリル等を代表とする有機樹脂膜、もしくは酸化ケイ素、酸化窒化ケイ素膜などの無機膜を形成し、第1のEL層3010が形成される部位を開口する。次いで、当該開口部に第1のEL層3010を形成する。この際、EL層の形成方法としては、インクジェット法が望ましい。ただし、塗布位置を高精度に制御出来るならば、他の方法によって形成されても良い。

その後、第2の画素電極3011を形成し、以後、第1のエッジカバー膜3017と同様に、第2のエッジカバー膜3018を形成し、第2のEL層3012が形成される部位を開口する。次いで、当該開口部に第2のEL層3012を形成する。

その後、第3の画素電極3013を形成し、以後、第2のエッジカバー膜3018と同様に、第3のエッジカバー膜3019を形成し、第3のEL層3014が形成される部位を開口する。次いで、当該開口部に第3のEL層3014を形成する。

次いで、対向電極3015を形成する。ここで、EL層からの出射光が、能動素子群が形成されている基板3001側に現れる構造（下面出射：ボトムエミッションともいう）である場合には、第1～第3の画素電極3009、3011、3013は透光性を有する必要がある。例えば、ITO等に代表される透明導電性材料を用いて形成しても良いし、低抵抗な金属材料を用いてごく薄く電極を形成し、透光性をもたせても良い。対して、EL層からの出射光が、能動素子群が形成されている基板3001とは反対方向に現れる構造（上面出射：トップエミッションともいう）である場合には、第2、第



3の画素電極3011、3013および対向電極3015は透光性を有する必要がある。さらに、EL層からの出射光が、能動素子群が形成されている基板3001側及び3001と反対側の両方に現れる構造（両面出射：デュアルエミッションともいう）である場合には、第1～第3の画素電極3009、3011、3013及び対向電極3015は透光性を有する必要がある。

最後に、第1～第3のEL層3010、3012、3014への水分等の浸入を防止するためのバリア層3016を形成し、表示装置とする。第1の画素電極3009、第1のEL層3010、第2の画素電極3011によって、図1における第1のEL素子112が構成され、第2の画素電極3011、第2のEL層3012、第3の画素電極3013によって、図1における第2のEL素子113が構成され、第3の画素電極3013、第3のEL層3014、対向電極3015によって、図1における第3のEL素子114が構成される。

#### [実施例5]

15 本発明の半導体装置には様々な用途がある。本実施例では、本発明の適用が可能な電子機器の例について説明する。

このような電子機器には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図13に示す。

20 図13(A)はELディスプレイであり、筐体3301、支持台3302、表示部3303等を含む。本発明の表示装置は表示部3303にて用いることが出来る。

図 1 3 (B) はビデオカメラであり、本体 3 3 1 1、表示部 3 3 1 2、音声入力部 3 3 1 3、操作スイッチ 3 3 1 4、バッテリー 3 3 1 5、受像部 3 3 1 6 等を含む。本発明の表示装置は表示部 3 3 1 2 にて用いることが出来る。

- 5 図 1 3 (C) はパーソナルコンピュータであり、本体 3 3 2 1、筐体 3 3 2 2、表示部 3 3 2 3、キーボード 3 3 2 4 等を含む。本発明の表示装置は表示部 3 3 2 3 にて用いることが出来る。

図 1 3 (D) は携帯情報端末であり、本体 3 3 3 1、スタイラス 3 3 3 2、表示部 3 3 3 3、操作ボタン 3 3 3 4、外部インターフェイス 3 3 3 5 等を含む。本発明の表示装置は表示部 3 3 3 3 にて用いることが出来る。

図 1 3 (E) は携帯電話であり、本体 3 4 0 1、音声出力部 3 4 0 2、音声入力部 3 4 0 3、表示部 3 4 0 4、操作スイッチ 3 4 0 5、アンテナ 3 4 0 6 を含む。本発明の表示装置は表示部 3 4 0 4 にて用いることが出来る。

図 1 3 (F) はデジタルカメラであり、本体 3 5 0 1、表示部 (A) 3 5 0 2、接眼部 3 5 0 3、操作スイッチ 3 5 0 4、表示部 (B) 3 5 0 5、バッテリー 3 5 0 6 を含む。本発明の表示装置は、表示部 (A) 3 5 0 2、表示部 (B) 3 5 0 5 にて用いることが出来る。

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例 1 ~ 実施例 4 に示したいずれの構成を適用しても良い。

R G B 3 色を積層構造とすることにより、各画素での電流密度を低く抑え、かつ 1 画素あたりの開口率を高くすることが出来る。よって、E L 素子の長寿命化に寄与することが出来る。

## 請求の範囲

(1) 異なる発光色を呈する第1乃至第 $n$  ( $n$ は自然数、 $2 \leq n$ )の発光素子を有する画素を有し、

前記第1乃至第 $n$ の発光素子のいずれか1つが順次選択され発光する表示装置。

(2) 第1乃至第 $n+1$  ( $n$ は自然数、 $2 \leq n$ )の画素電極と、

前記第1乃至第 $n+1$ の画素電極に挟まれるように設けられた、異なる発光色を呈する第1乃至第 $n$ の発光素子と、

第1乃至第 $n$ の駆動用トランジスタを有する画素と、

第1乃至第 $n$ の電流供給線と、

電源線と、

前記第 $m$  ( $m$ は自然数、 $1 \leq m \leq n$ )の画素電極は、前記第 $m$ の駆動用トランジスタを介して前記第 $m$ の電流供給線と電氣的に接続され、

前記第 $n+1$ の画素電極は、前記電源線と電氣的に接続され、

前記第 $m$ の発光素子を挟む前記画素電極間の電位差が順次調節され、前記第 $m$ の発光素子が選択的に発光する表示装置。

(3) 第1乃至第 $n+1$  ( $n$ は自然数、 $2 \leq n$ )の画素電極と、

前記第1乃至第 $n+1$ の画素電極部に挟まれるように設けられた、異なる発光色を呈する第1乃至第 $n$ の発光素子と、

スイッチング用トランジスタと、

第1乃至第 $n$ の駆動用トランジスタを有する画素と、

ソース信号線と、

ゲート信号線と、

第 1 乃至第  $n$  の電流供給線と、

電源線と、

前記スイッチング用トランジスタのゲート電極は前記ゲート信号線と電氣的に接続され、

前記スイッチング用トランジスタの第 1 の電極は前記ソース信号線と電氣的に接続され、

前記スイッチング用トランジスタの第 2 の電極は前記第 1 乃至第  $n$  の駆動用トランジスタのゲート電極と電氣的に接続され、

前記第  $m$  ( $m$  は自然数、 $1 \leq m \leq n$ ) の画素電極は、前記第  $m$  の駆動用トランジスタを介して前記第  $m$  の電流供給線と電氣的に接続され、

前記第  $n + 1$  の画素電極は、前記電源線と電氣的に接続されている表示装置。

(4) 請求項 3 において、前記表示装置はさらに、

消去用ゲート信号線と、

消去用トランジスタとを有し、

前記消去用トランジスタのゲート電極は前記消去用ゲート信号線と電氣的に接続され、

前記消去用トランジスタの第 1 の電極は前記第 1 乃至第  $n$  の駆動用トランジスタのゲート電極と電氣的に接続され、

前記消去用トランジスタの第 2 の電極は前記第 1 乃至第  $n$  の電流供

給線のいずれかーと電氣的に接続されている表示装置。

(5) 請求項 3 において、前記表示装置はさらに、

消去用ゲート信号線と、

消去用トランジスタと、

保持容量線とを有し、

前記消去用トランジスタのゲート電極は前記消去用ゲート信号線と電氣的に接続され、

前記消去用トランジスタの第 1 の電極は前記第 1 乃至第 n の駆動用トランジスタのゲート電極と電氣的に接続され、

前記消去用トランジスタの第 2 の電極は前記保持容量線と電氣的に接続されている表示装置。

(6) 請求項 3 において、前記表示装置さらには、

消去用ゲート信号線と、

第 1 乃至第 n の消去用トランジスタとを有し、

前記第 1 乃至第 n の消去用トランジスタのゲート電極は、前記消去用ゲート信号線と電氣的に接続され、

前記第 1 乃至第 n の消去用トランジスタは前記第 1 乃至第 n の画素電極と、前記第 1 乃至第 n の駆動用トランジスタとの間に設けられている表示装置。

(7) 請求項 1 において、前記第 2 乃至第 n の画素電極は、いずれも透光性を有する物質を用いてなる表示装置。

(8) 請求項 2 において、前記第 2 乃至第 n の画素電極は、いずれも透光性

を有する物質を用いてなる表示装置。

(9) 請求項3において、前記第2乃至第 $n$ の画素電極は、いずれも透光性を有する物質を用いてなる表示装置。

(10) 請求項4において、前記第2乃至第 $n$ の画素電極は、いずれも透光性を有する物質を用いてなる表示装置。

(11) 請求項5において、前記第2乃至第 $n$ の画素電極は、いずれも透光性を有する物質を用いてなる表示装置。

(12) 請求項6において、前記第2乃至第 $n$ の画素電極は、いずれも透光性を有する物質を用いてなる表示装置。

(13) 請求項7において、前記第1乃至第 $n$ の発光素子と、前記第1乃至第 $n+1$ の画素電極とは、積層されてなる表示装置。

(14) 請求項8において、前記第1乃至第 $n$ の発光素子と、前記第1乃至第 $n+1$ の画素電極とは、積層されてなる表示装置。

(15) 請求項9において、前記第1乃至第 $n$ の発光素子と、前記第1乃至第 $n+1$ の画素電極とは、積層されてなる表示装置。

(16) 請求項10において、前記第1乃至第 $n$ の発光素子と、前記第1乃至第 $n+1$ の画素電極とは、積層されてなる表示装置。

(17) 請求項11において、前記第1乃至第 $n$ の発光素子と、前記第1乃至第 $n+1$ の画素電極とは、積層されてなる表示装置。

(18) 請求項12において、前記第1乃至第 $n$ の発光素子と、前記第1乃至第 $n+1$ の画素電極とは、積層されてなる表示装置。

(19) 画素に含まれる、異なる発光色を呈する第1乃至第 $n$  ( $n$ は自然数、

2 ≤ n) の発光素子のいずれか 1 つを順次選択し、

前記選択された発光素子の二つの電極間の電位を制御し、

順次発光せしめるというステップを有する表示装置の駆動方法。

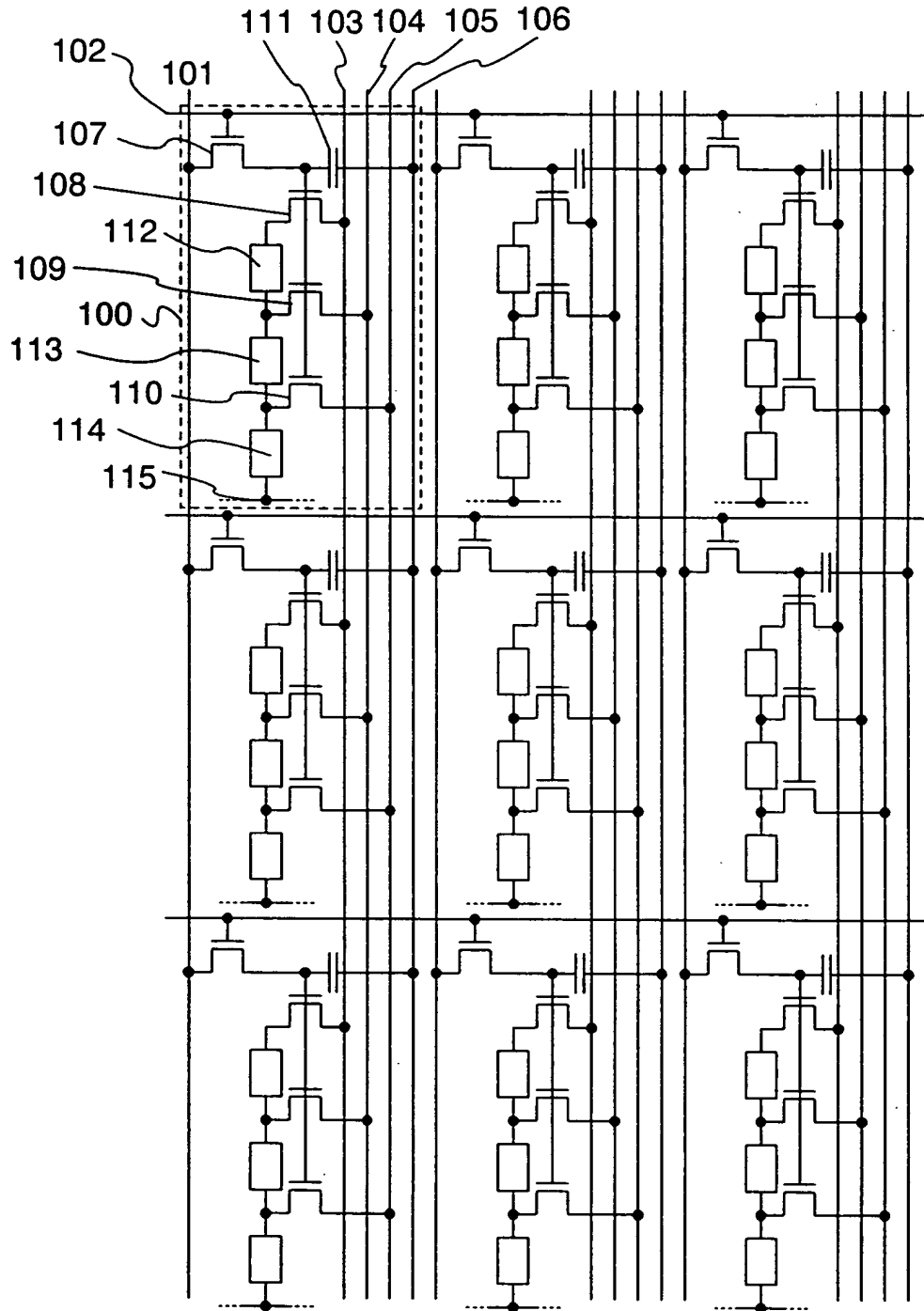
(20) 請求項 1 乃至請求項 18 に記載の表示装置、または請求項 19 に記載の表示装置の駆動方法を用いた電子機器。



## 要約書

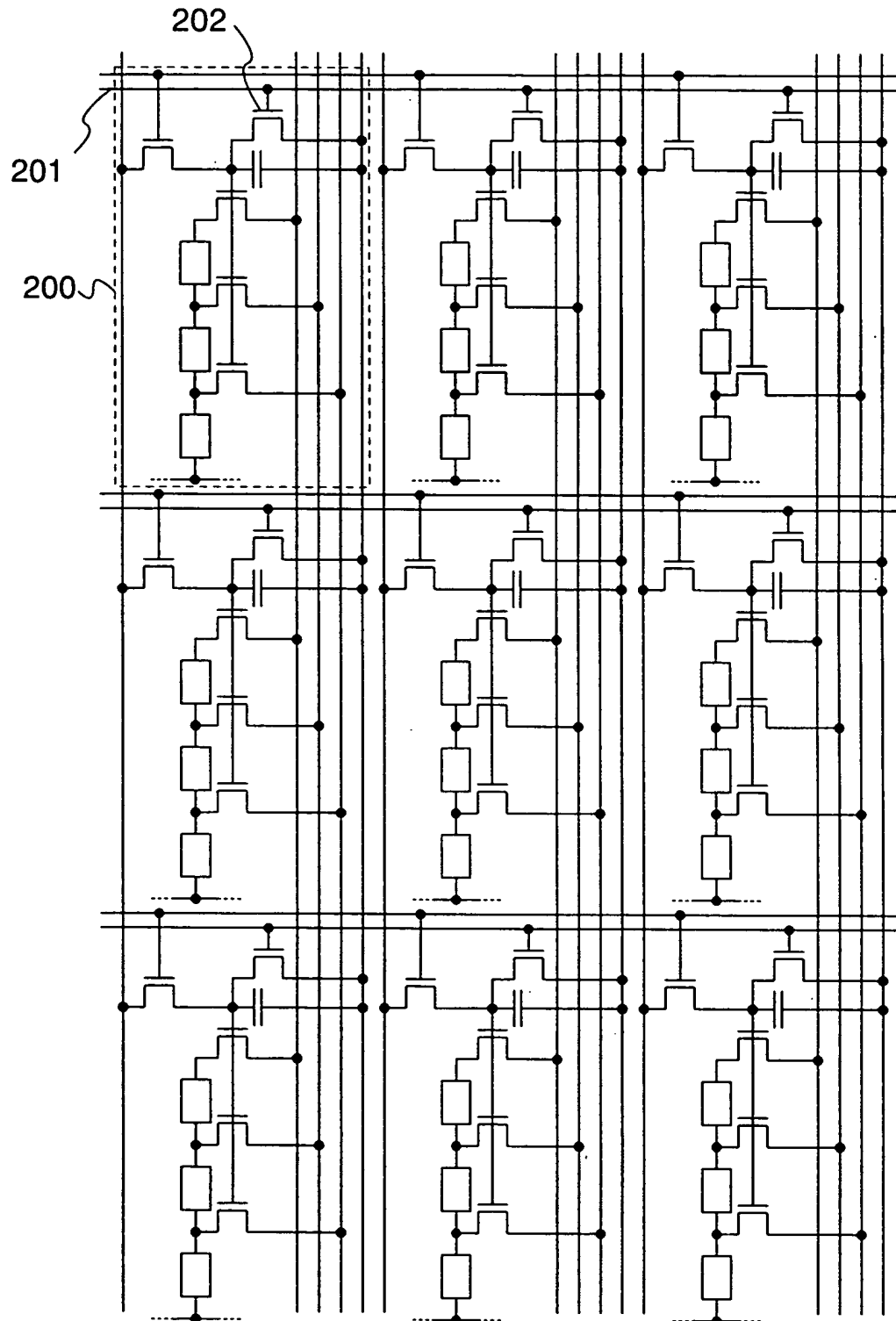
積層形成された第1～第3の発光素子112～114の発光・非発光を選択する映像信号は、唯一のスイッチング用トランジスタ107を介して入力され、第1～第3の電流供給線103～105の電位を制御することによって特定の発光素子を選択的に発光させることを特徴とする。

1/14



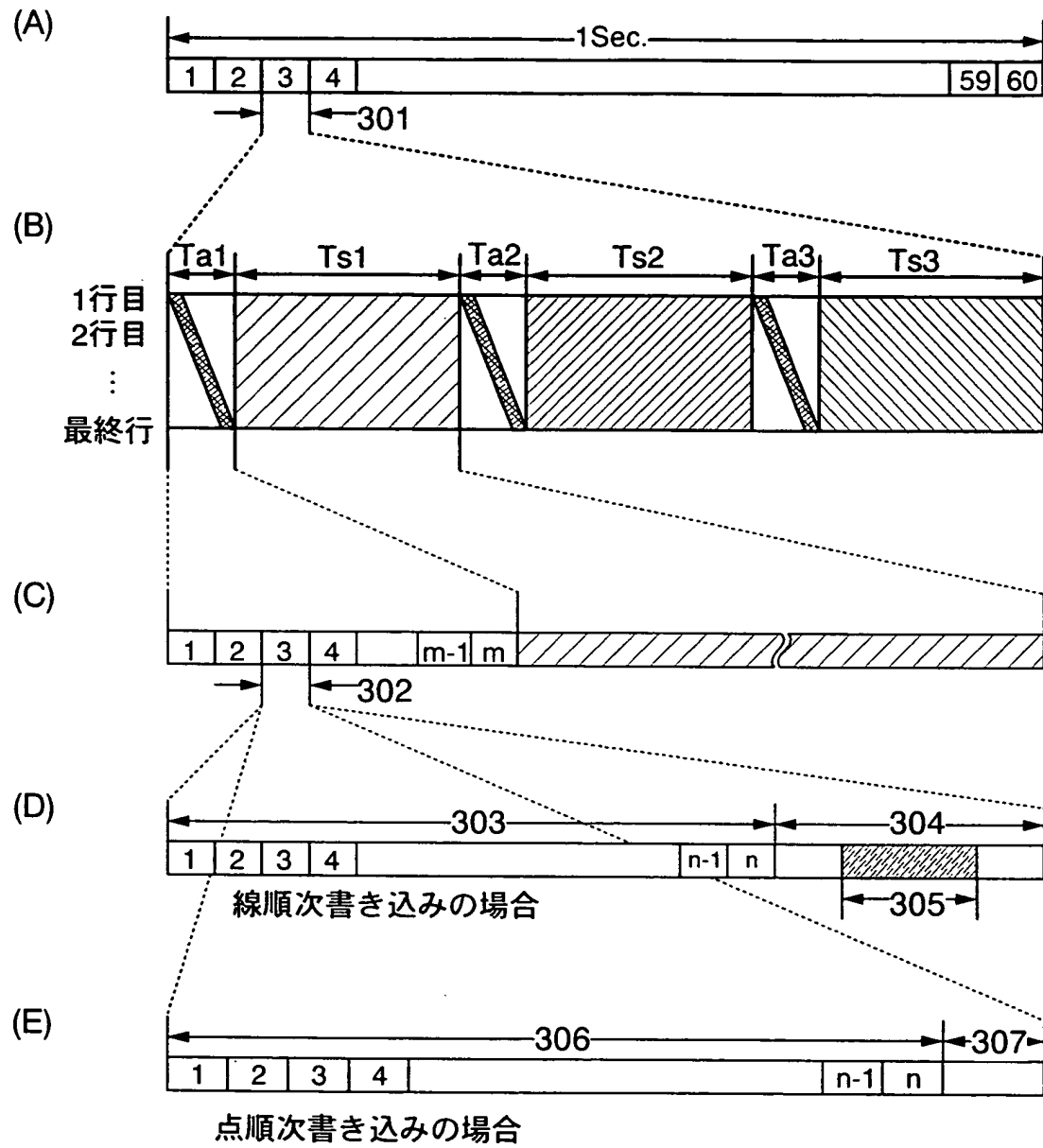
第1図

2/14



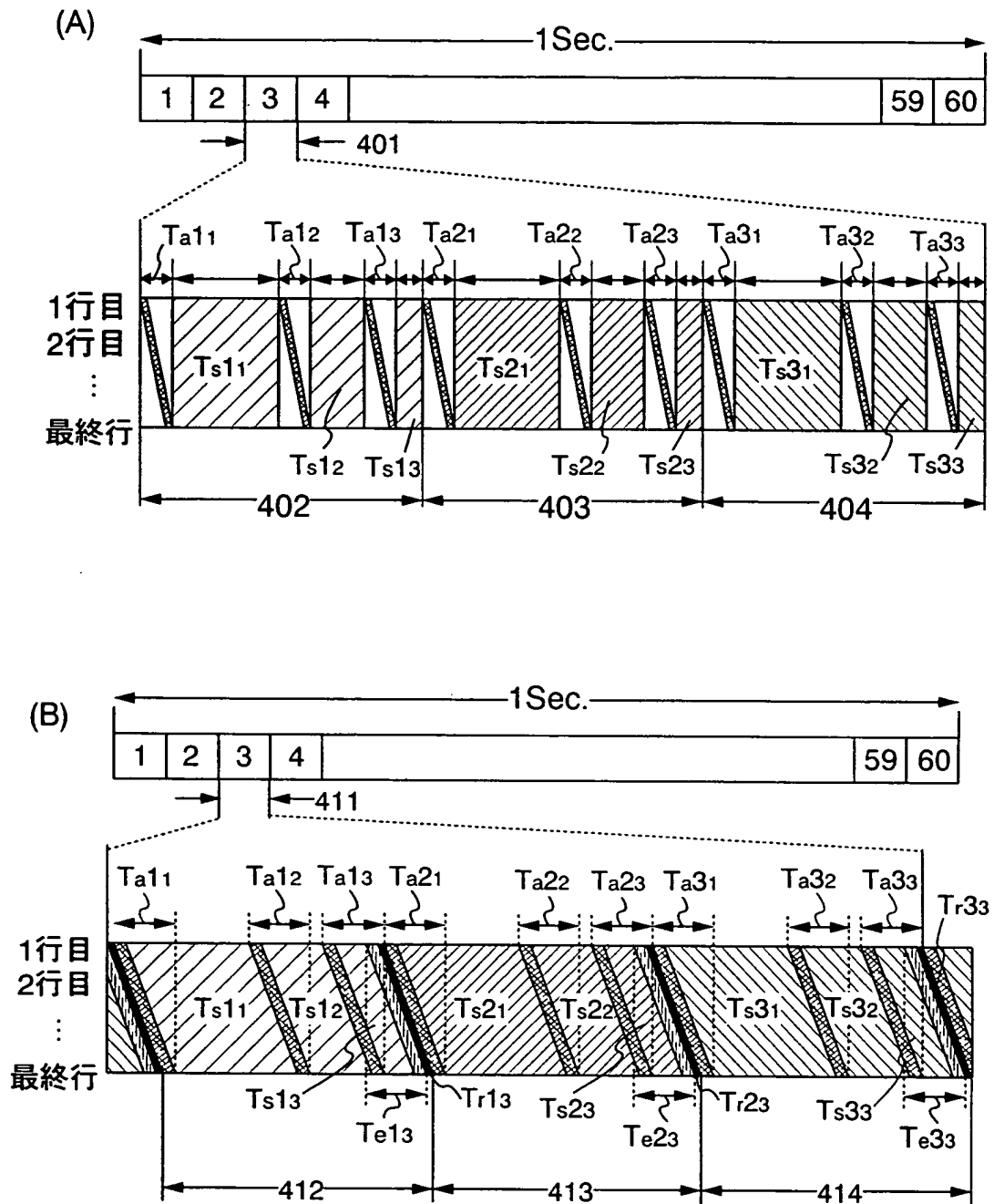
第2図

3/14



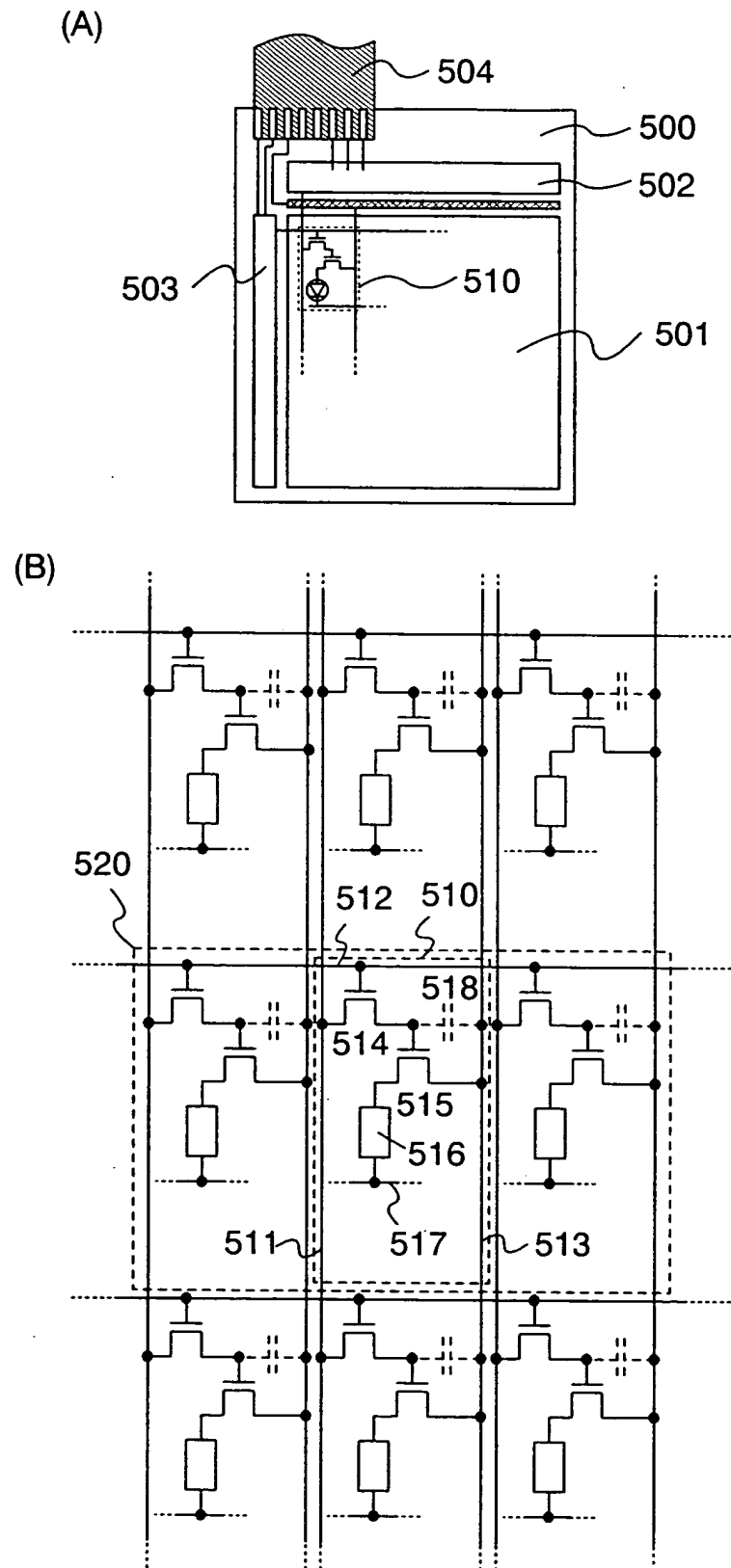
第3図

4/14

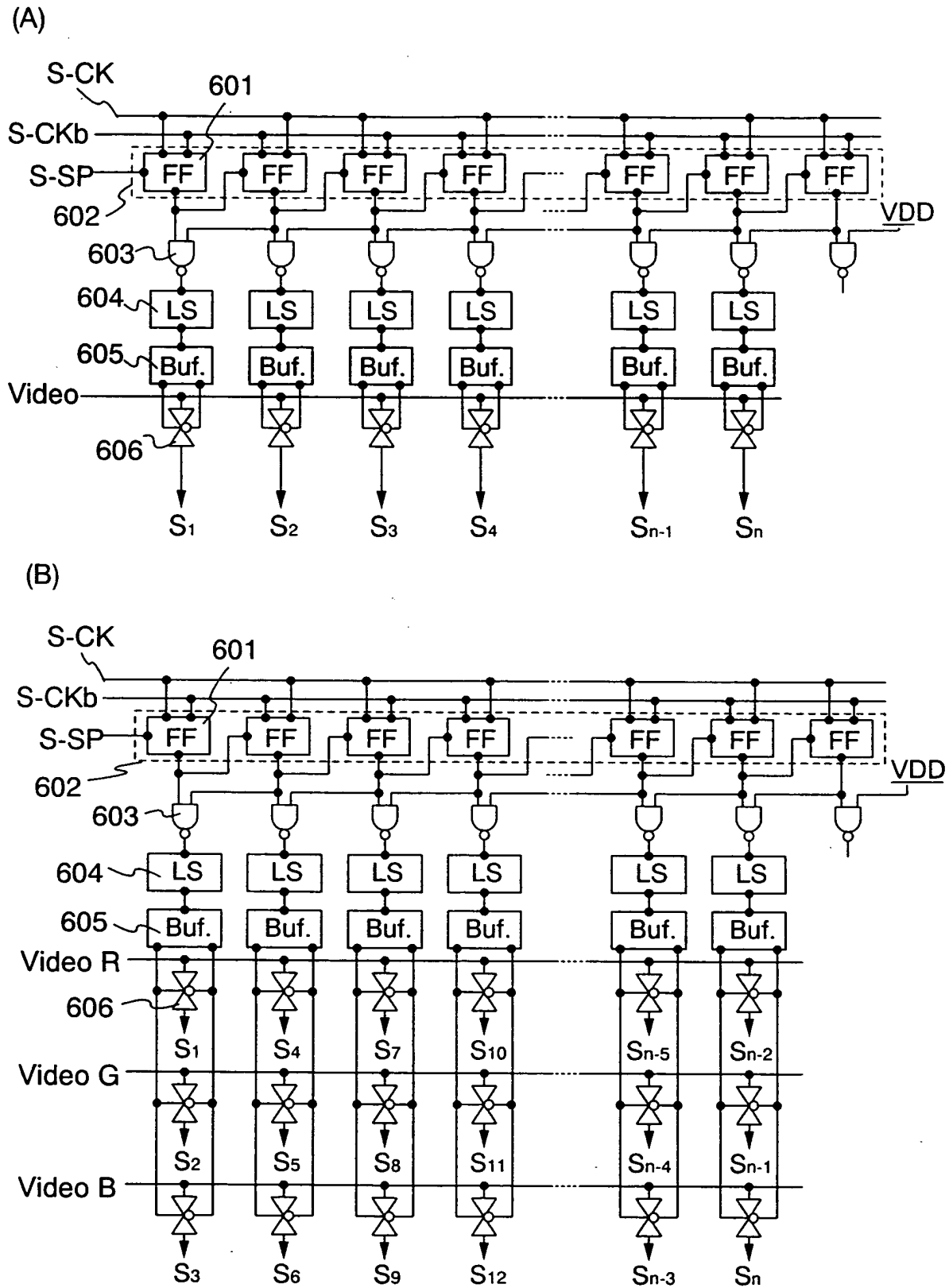


第4図

5/14

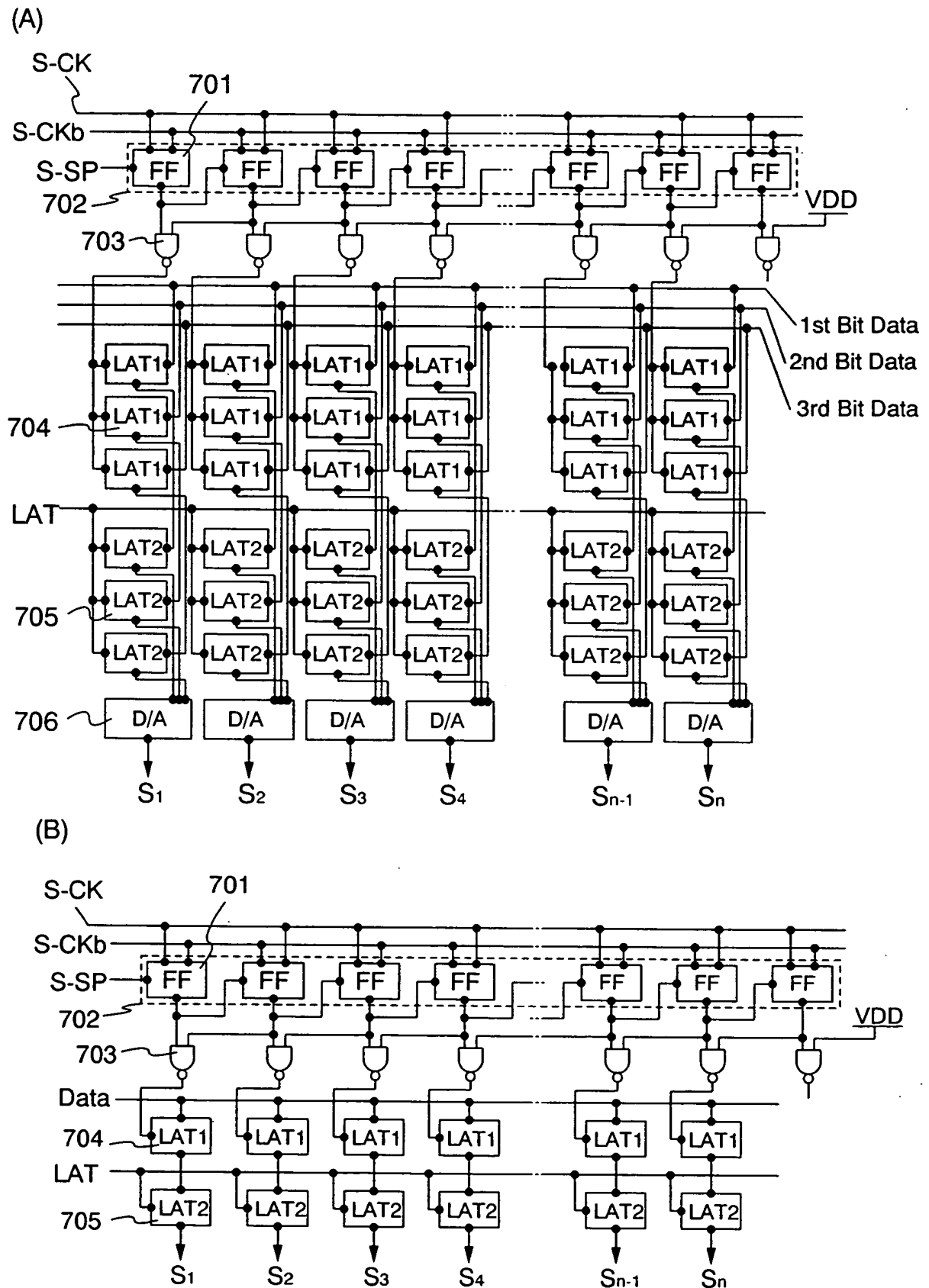


6/14



第6図

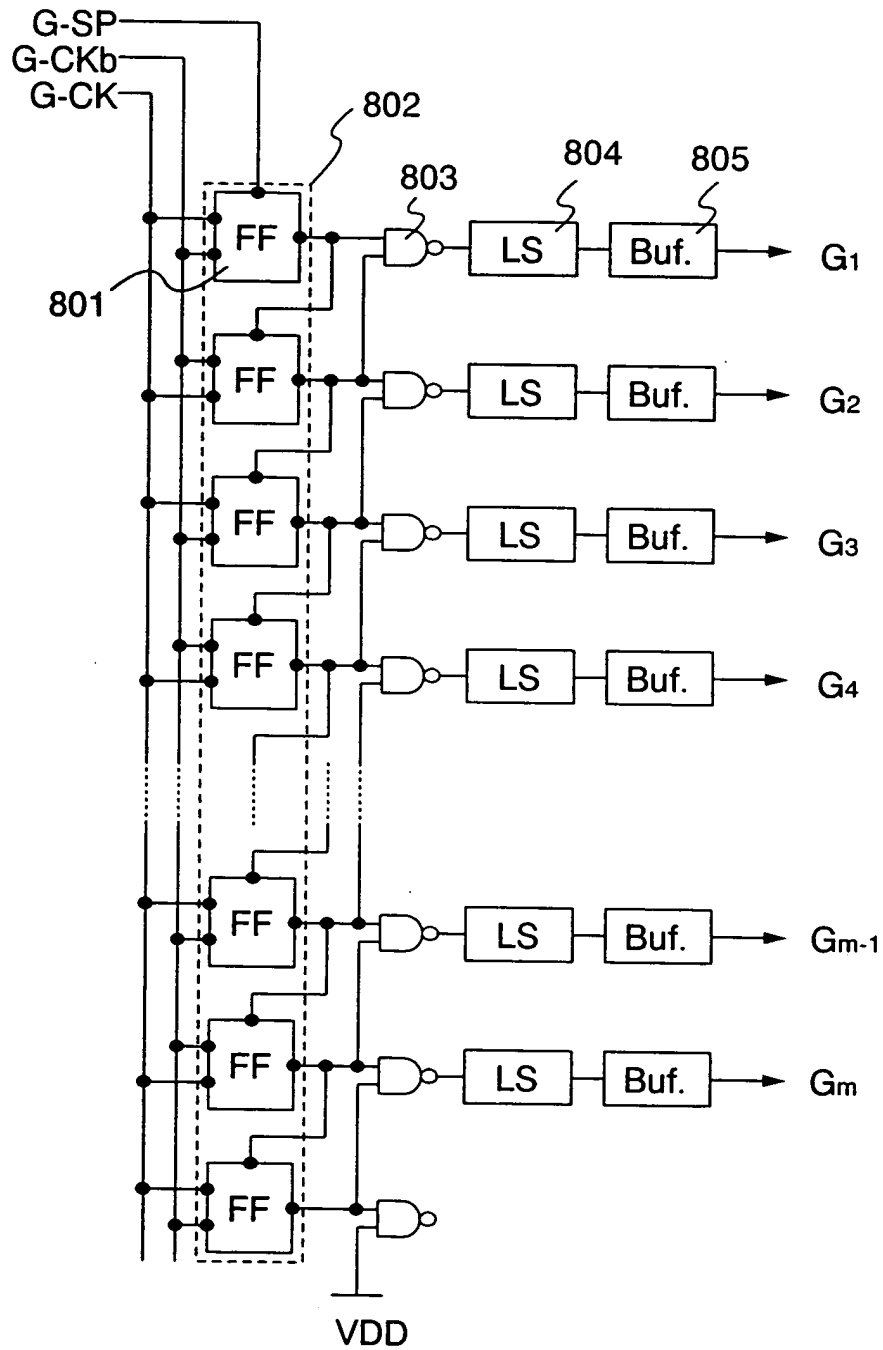
7/14



第7図



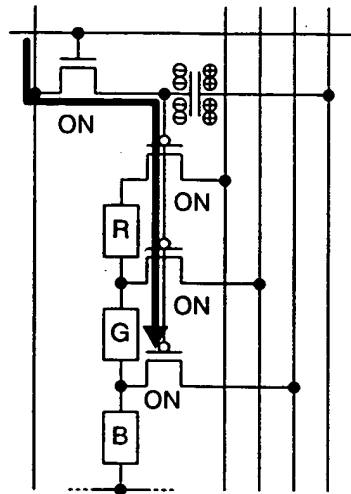
8/14



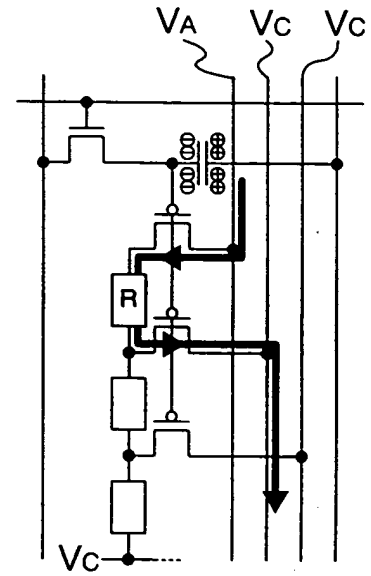
第8図

9/14

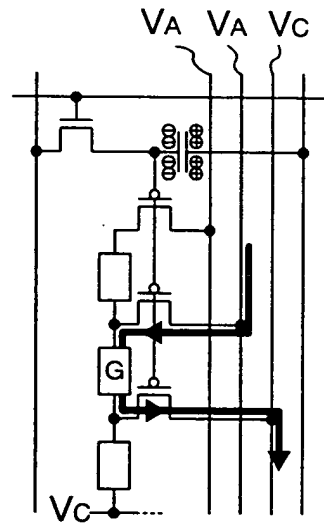
(A) 映像信号入力



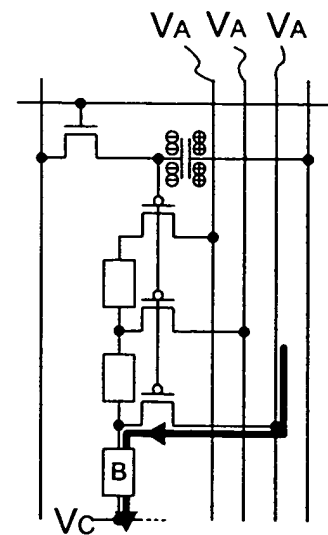
(B) 第1の発光色の発光



(C) 第2の発光色の発光

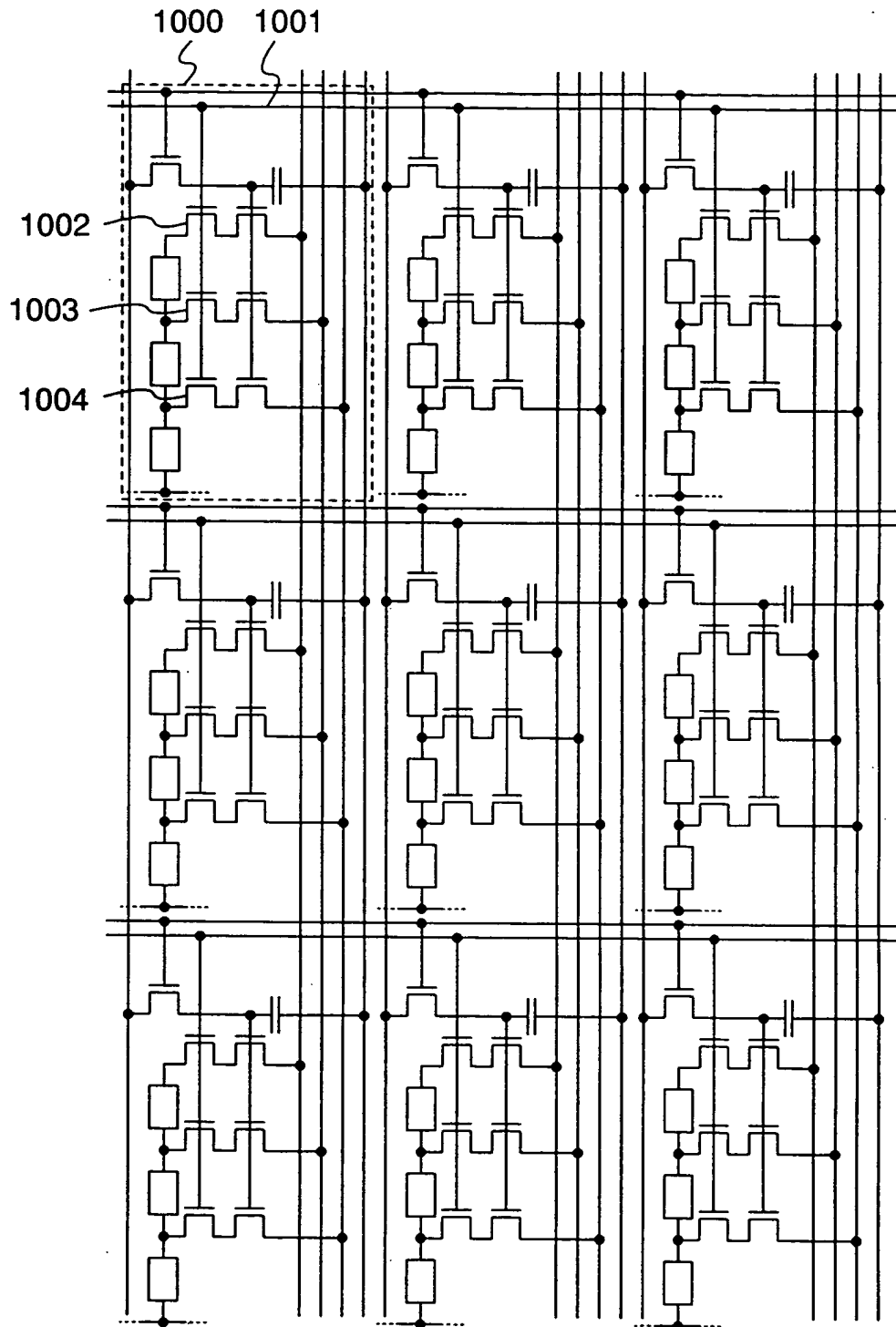


(D) 第3の発光色の発光



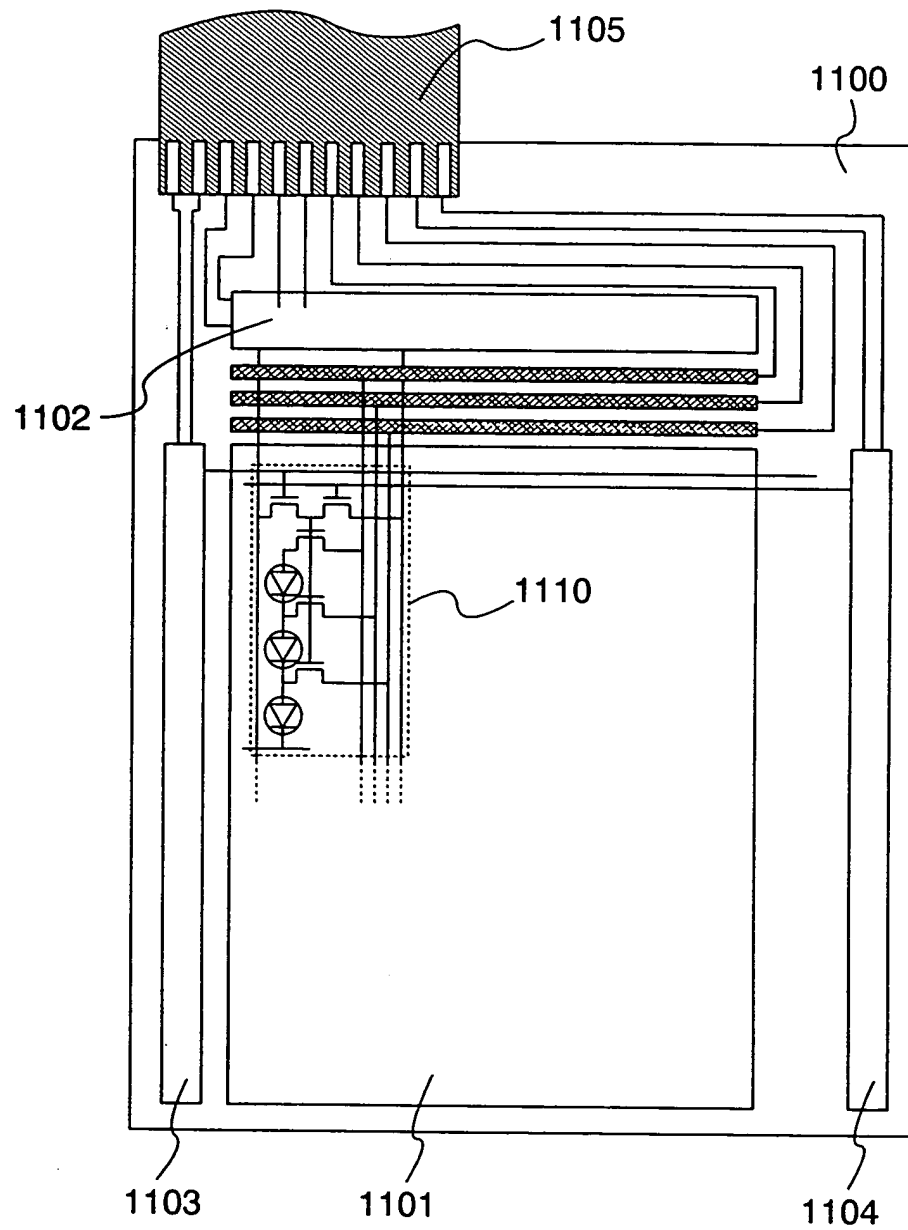
第9図

10/14



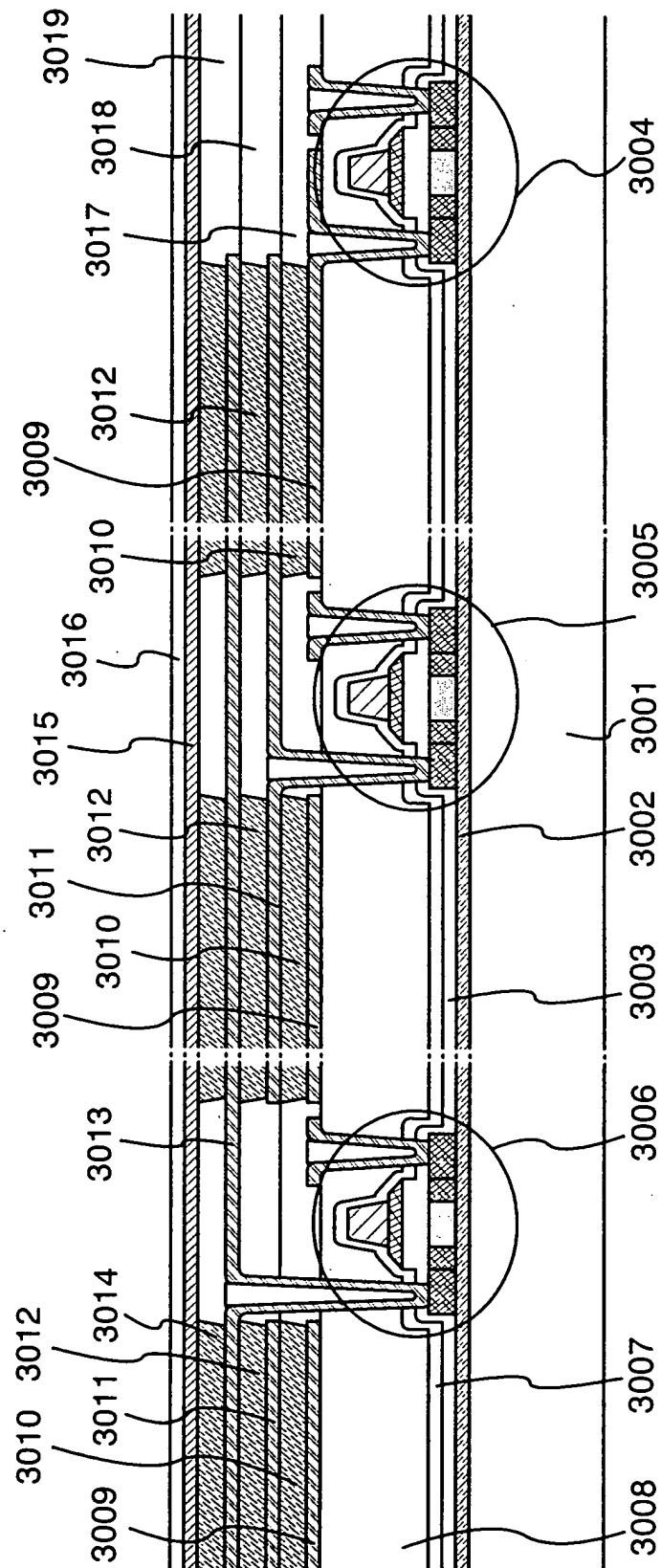
第10図

11/14



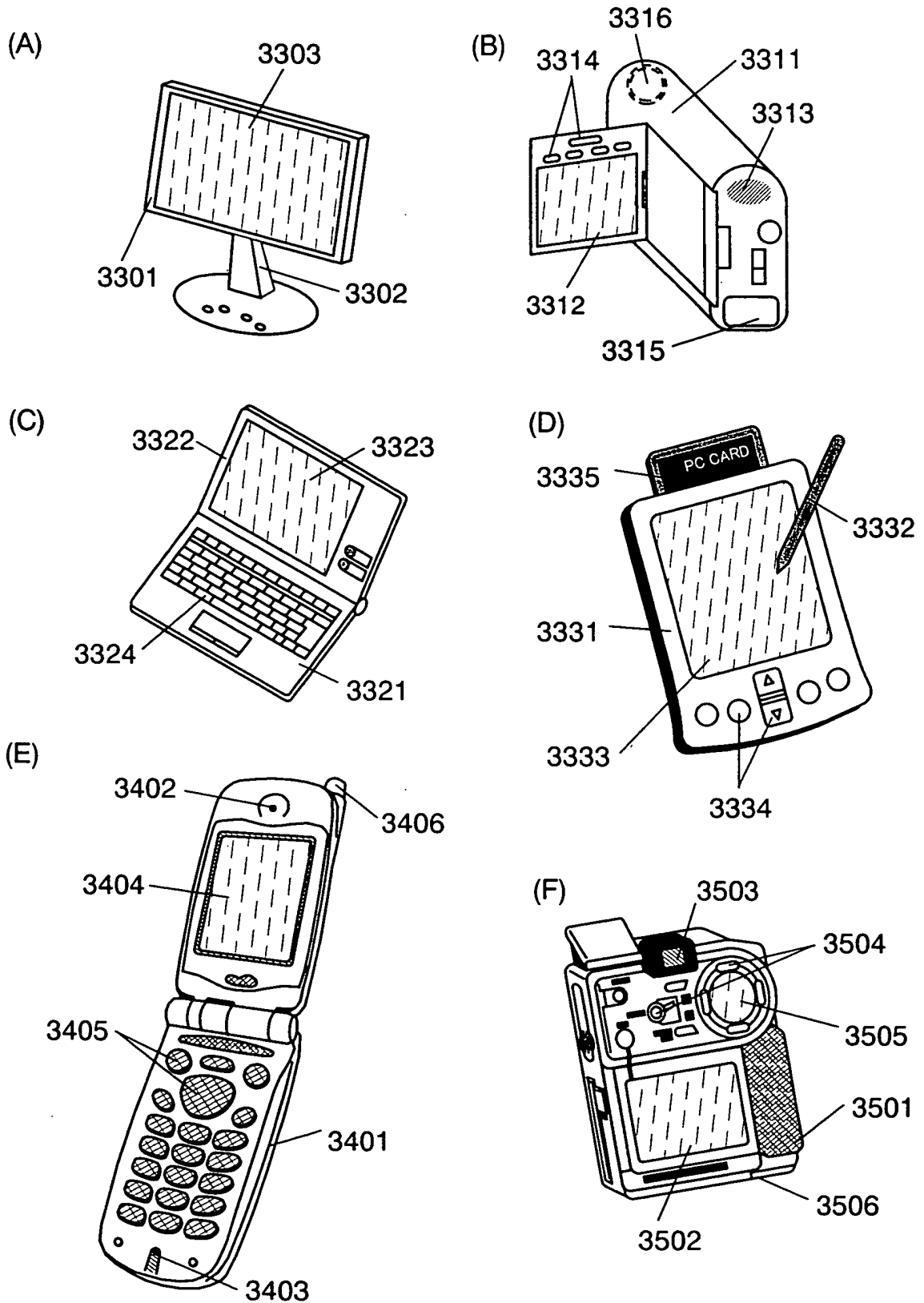
第11図

12/14



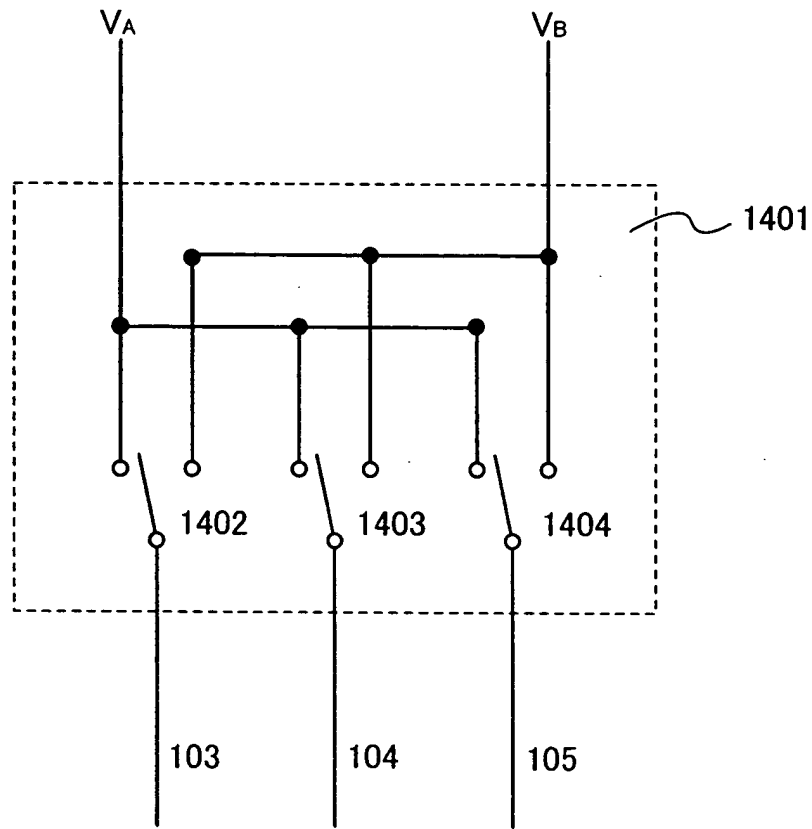
第12図

13/14



第13図

14/14



第14図